

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-111017

(43)Date of publication of application : 20.04.2001

(51)Int.CI.

H01L 27/14

H01L 21/304

H04N 5/335

(21)Application number : 11-291813

(71)Applicant : SONY CORP

(22)Date of filing : 14.10.1999

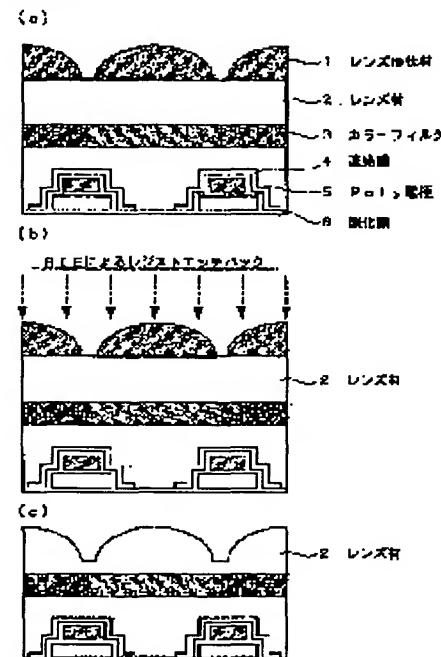
(72)Inventor : MATSUZAKI KOJI

## (54) MANUFACTURING METHOD OF SOLID-STATE IMAGING ELEMENT

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To prevent significant drop in yield by reducing imaging failure due to dust sticking caused by etching back.

**SOLUTION:** The static eliminating process after an etching process for RIE is performed under the following condition. At static elimination, the charge of a wafer is removed with an electrostatic chuck, which is a wafer clamp method and used in a general semiconductor dry-etching. (1) A vacuum level (pressure) at static elimination is 20–30 Pa. (2) The power at static elimination is  $100 \pm 10$  W. (3) Ar(argon) is used as a gas at static elimination, with flow rate  $100 \pm 10$  sccm. When a pressure is high and a power is low at static elimination, an isotropic component increases due to static eliminating gas, and an ion attack component to the inner wall of a process chamber increases. So a deposit is scraped for removal.



### LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-111017

(P2001-111017A)

(43)公開日 平成13年4月20日(2001.4.20)

(51)Int.Cl.<sup>7</sup>  
H01L 27/14  
21/304  
H04N 5/335

識別記号  
646

F I  
H01L 21/304  
H04N 5/335  
H01L 27/14

テ-マ-ト<sup>\*</sup>(参考)  
646 4M118  
V 5C024  
U  
D

審査請求 未請求 請求項の数3 OL (全5頁)

(21)出願番号

特願平11-291813

(22)出願日

平成11年10月14日(1999.10.14)

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 松崎 康二

鹿児島県国分市野口北5番1号 ソニー国  
分株式会社内

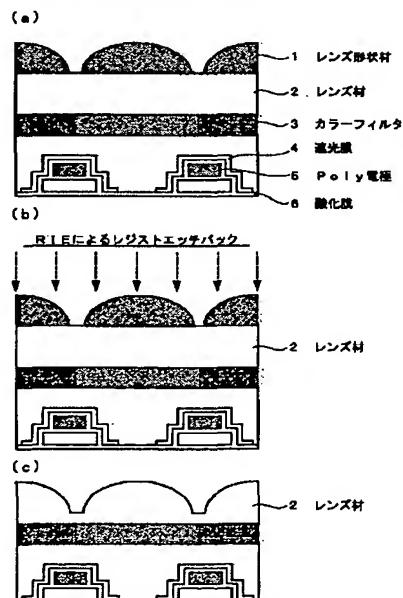
Fターム(参考) 4M118 AA10 AB01 BA10 CA02 EA01  
GD07 GD04  
5C024 AA01 CA31 EA04 FA01 GA11

(54)【発明の名称】 固体撮像素子の製造方法

(57)【要約】

【課題】 エッチバック起因で生じるダスト付着による  
撮像欠陥を低減し、大幅な歩留低下を防止する。

【解決手段】 RIEのエッティング工程後に行われる除  
電処理を次に示す条件で行う。除電処理では、一般的な  
半導体ドライエッティングで用いられているウェーハクラ  
ンプ方式である静電チャックによって、帯電したウェー  
ハの帶電を除去する。(1)除電時の真空度(圧力)  
を、20~30Pa(バルカル)とする。(2)除電時  
のパワーを、100±10Wとする。(3)除電時のガ  
スは、Ar(アルゴン)とし、流量は、100±10s  
ccmとする。除電時の圧力が高く、パワーが低いと、  
除電ガスによる等方性成分が増し、プロセスチャンバー  
内壁へのイオンアタック成分が増すので、堆積物を削り  
落として除去できる。



## 【特許請求の範囲】

【請求項1】 レジストエッチバック方式により素子上にオンチップマイクロレンズを形成する固体撮像素子の製造方法において、前記オンチップマイクロレンズを形成するレジストエッチバック工程後における静電除去条件として、除電電力を $100 \pm 10\text{W}$ とすることを特徴とする固体撮像素子の製造方法。

【請求項2】 前記静電除去条件として、圧力を $20 \sim 30\text{Pa}$ とすることを特徴とする請求項1記載の固体撮像素子の製造方法。

【請求項3】 前記静電除去条件として、除電ガスをAr、除電ガス流量を $100 \pm 10\text{sccm}$ とすることを特徴とする請求項2記載の固体撮像素子の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、素子上にオンチップマイクロレンズを有する固体撮像素子の製造方法に関する。

## 【0002】

【従来の技術】近年、CCD固体撮像素子には、高感度化を目的に、オンチップマイクロレンズが素子上に形成されている。オンチップマイクロレンズ形成方法としては、一般的には、リソグラフィ方式とレンズ形状転写方式がある。ここで、図4は、レンズ形状転写方式によるオンチップマイクロレンズ形成工程を示す模式図であり、図5は、リソグラフィ方式によるオンチップマイクロレンズ形成工程を示す模式図である。

【0003】レンズ形状転写方式においては、図4に示すように、酸化膜6、Poly電極5、遮光膜4が積層された素子上にカラーフィルタ3を形成した後、レンズ材（オーバーコート材を兼ねる）2を形成し、さらにレンズ形状のレジスト（図示略）を形成した後、RIE（Reaction Ion Etching：例えば、平行平板型カソードカップル方式）のエッチバック（エッチバックガスとしては例えば $\text{CF}_4, \text{O}_2$ ）により、上記レンズ材2にレンズ形状を転写することで、オンチップマイクロレンズを形成する。

【0004】また、リソグラフィ方式においては、図5に示すように、酸化膜6、Poly電極5、遮光膜4が積層された素子上にカラーフィルタ3を形成した後、オーバーコート材（例えば、有機樹脂膜）8を形成し、さらにレンズ材（例えば、ノボラック系ポジレジスト）7を形成した後、リソグラフィによる手法を用いて、レンズ材7をレンズ形状にバターニングすることで、オンチップマイクロレンズを形成する。

## 【0005】

【発明が解決しようとする課題】ところで、従来技術によるレンズ形状転写方式では、被エッティング膜がレジストのため、比較的にRIEのパーティクルレベル（ダス

トレベル）は悪い傾向にある。すなわち、RIEのエッチバックを利用したレンズ形状転写方式では、プロセスチャンバー内に被エッティング膜であるレンズ材2の堆積物（例えば、カーボン系の有機膜）が堆積し、ダストレベルが悪化するという問題がある。また、上記堆積物が剥がれて製品に付着した場合、撮像欠陥が生じて大幅な歩留低下を招くという問題がある。

【0006】そこで本発明は、エッチバック起因で生じるダスト付着による撮像欠陥を低減することができ、大幅な歩留低下を防止することができる固体撮像素子の製造方法を提供することを目的とする。

## 【0007】

【課題を解決するための手段】上記目的達成のため、請求項1記載の発明による固体撮像素子の製造方法は、レジストエッチバック方式により素子上にオンチップマイクロレンズを形成する固体撮像素子の製造方法において、前記オンチップマイクロレンズを形成するレジストエッチバック工程後における静電除去条件として、除電電力を $100 \pm 10\text{W}$ とすることを特徴とする。

【0008】また、好ましい態様として、例えば請求項2記載のように、請求項1記載の固体撮像素子の製造方法において、前記静電除去条件として、圧力を $20 \sim 30\text{Pa}$ としてもよい。また、好ましい態様として、例えば請求項3記載のように、請求項2記載の固体撮像素子の製造方法において、前記静電除去条件として、除電ガスをAr、除電ガス流量を $100 \pm 10\text{sccm}$ としてもよい。

【0009】本発明では、素子上にオンチップマイクロレンズを形成するレジストエッチバック工程後における静電除去条件として、除電電力を $100 \pm 10\text{W}$ とする。また、静電除去条件として、圧力を $20 \sim 30\text{Pa}$ としてもよい。さらに、静電除去条件として、除電ガスをAr、除電ガス流量を $100 \pm 10\text{sccm}$ （standard cubic centimeter）としてもよい。このように、静電除去条件を設定することで、除電ガスによる等方性成分が増し、プロセスチャンバー内壁へのイオンアタック成分が増すので、堆積物を削り落として除去できるため、エッチバック起因で生じるダスト付着による撮像欠陥を低減することができるとなり、大幅な歩留低下を防止することが可能となる。

## 【0010】

【発明の実施の形態】以下、本発明の実施の形態を、図面を参照して説明する。図1は、本発明の実施形態のレンズ形状転写方式（レジストエッチバック方式）によるオンチップマイクロレンズの製造工程を示す概念図である。まず、図1(a)に示すように、酸化膜6、Poly電極5、遮光膜4が積層された素子上にカラーフィルタ3を形成した後、レンズ材（オーバーコート材を兼ねる）2を形成し、さらにレンズ形状材1を形成する。次に、図1(b)に示すように、RIE（例えば、平行平

板型カソードカップル方式)のエッチパックにより、上記レンズ形状材1の形状を、レンズ材2に転写する。そして、図1(c)に示すように、レンズ形状が転写されることにより、オンチップマイクロレンズが形成される。

【0011】本実施形態では、上述したRIEのエッチング工程後に行われる除電処理を、次に示す条件で行うことを特徴としている。

(1) 除電時の真空度(圧力)を、20~30Pa(バルカル)とする。

(2) 除電時のパワーを、100±10Wとする。

(3) 除電時のガスは、Ar(アルゴン)とし、流量は、100±10sccmとする。

なお、除電とは、一般的な半導体ドライエッ칭で用いられているウエーハクランプ方式である静電チャックによって、帯電したウエーハの電荷を除去することである。

【0012】図2および図3は、磁場アシストエッチャーを用い、除電除去条件(真空度、パワー)を変化させた時のダストレベル(個数)を示す図である。図2では、パワーを100Wとし、真空度を変えたときのダスト個数を計数したもので、0.2μm以上のダスト、0.3μm以上のダスト、2.5μm以上のダストについて示している。また、図3では、真空度を13.3Pa(バスク)とし、パワーを変えたときのダスト個数を計数したもので、図2と同様、0.2μm以上のダスト、0.3μm以上のダスト、2.5μm以上のダストについて示している。図2に示すように、除電時の圧力は、高い方がダストレベルはよい傾向にあることが分かる。また、図3に示すように、パワーは、低い方がダストレベルはよい傾向にあることが分かる。これは、除電時の圧力が高く、パワーが低いと、除電ガスによる等方性成分が増し、プロセスチャンバー内壁へのイオンアタック成分が増すこと、堆積物を削り落とし、除去できるためと考えられる。

【0013】なお、本実施形態では、図1(b)に示すRIEのプラズマ発生方式(平行平板方式、磁場アシスト方式等)を特に限定しない。また、オーバーコート材を兼ねるレンズ材2の材質、およびレンズ材2のレジストであるレンズ形状材1の材質を特に限定しない。さらに、RIEによるエッチパックにおけるメインエッチング条件の詳細を特に限定しない。

【0014】

【発明の効果】請求項1記載の発明によれば、素子上にオンチップマイクロレンズを形成するレジストエッチパック工程後における静電除去条件として、除電電力を100±10Wとしたので、除電ガスによる等方性成分が増し、プロセスチャンバー内壁へのイオンアタック成分が増すので、堆積物を削り落として除去できるため、エッチパック起因で生じるダスト付着による撮像欠陥を低減することができ、大幅な歩留低下を防止することができるという利点が得られる。

10 【0015】また、請求項2記載の発明によれば、静電除去条件として、さらに、圧力を20~30Paとようにしたので、除電ガスによる等方性成分が増し、プロセスチャンバー内壁へのイオンアタック成分が増すので、堆積物を削り落として除去できるため、エッチパック起因で生じるダスト付着による撮像欠陥を低減することができ、大幅な歩留低下を防止することができるという利点が得られる。

20 【0016】また、請求項3記載の発明によれば、静電除去条件として、さらに、除電ガスをAr、除電ガス流量を100±10sccmとしたので、除電ガスによる等方性成分が増し、プロセスチャンバー内壁へのイオンアタック成分が増すので、堆積物を削り落として除去できるため、エッチパック起因で生じるダスト付着による撮像欠陥を低減することができ、大幅な歩留低下を防止することができるという利点が得られる。

#### 【図面の簡単な説明】

【図1】本発明の実施形態のレンズ形状転写方式(レジストエッチパック方式)によるオンチップマイクロレンズの製造工程を示す概念図である。

30 【図2】磁場アシストエッチャーを用い、除電除去条件(真空度)を変化させた時のダストレベル(個数)を示す図である。

【図3】図2および図3は、磁場アシストエッチャーを用い、除電除去条件(パワー)を変化させた時のダストレベル(個数)を示す図である。

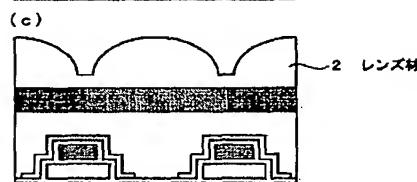
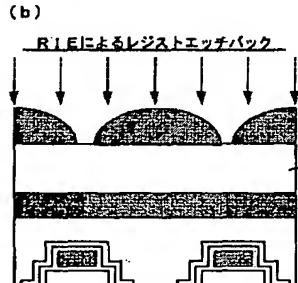
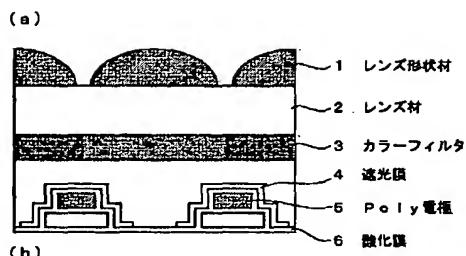
【図4】従来技術のレンズ形状転写方式によるオンチップマイクロレンズ形成工程を示す模式図である。

【図5】従来技術のリソグラフィ方式によるオンチップマイクロレンズ形成工程を示す模式図である。

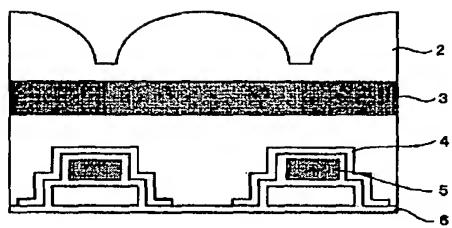
#### 40 【符号の説明】

1……レンジ形状材、2……レンズ材、3……カラーフィルタ、4……遮光膜、5……Poly電極、6……酸化膜

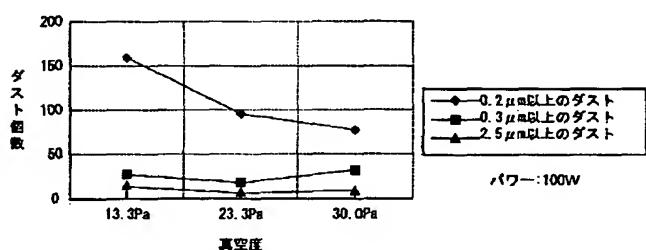
【図1】



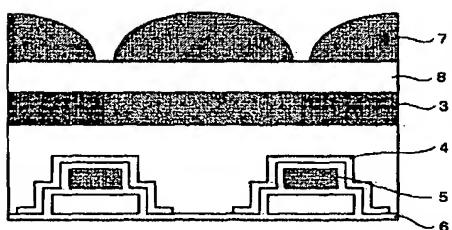
【図4】



【図2】



【図5】



【図3】

